



Universidade Federal do Rio Grande do Norte
Instituto Metr pole Digital
N cleo de Pesquisa e Inova  o em Tecnologia da Informa  o
Laborat rio de Arquiteturas Paralelas para Processamento de Sinais



Propostas de temas para Trabalho de Conclus o de Curso – 2020.1/2020.2

T tulo: **Compara  o de Custos de Constru  o/Evolu  o entre Metodologias de Desenvolvimento de Sistemas de Software**

Descri  o: Metadata Interpretation Driven Development (MIDD)   metodologia de desenvolvimento de sistemas rec m apresentada   academia e   ind stria. Por isso, um problema relevante para compreender: qual o custo de constru  o e evolu  o de sistemas de software a ela relacionados.

Metodologicamente, o aluno dever  (1) compreender a metodologia MIDD; (2) compreender outra metodologia de desenvolvimento de sistemas (OO preferencialmente); (3) construir/evoluir, ou acompanhar tal processo, de dois ou mais sistemas de software conforme cada metodologia; (4) investigar o custo pela dimens o do esfor o de codifica  o (m tricas de tamanho c digo, estrutura hier rquica, aninhamento sem ntico, recursividade) -- usar os softwares de c lculo de complexidade ACC e Lizard; (5) investigar o custo pela dimens o de m tricas de desempenho (vers es lan adas dentro do prazo, n mero de bugs por vers es lan adas, tempo para corre  o de bug); (6) apresentar relat rio de medi  o/compara  o.

Como resultado, espera-se que o aluno possa (1) ter compreendido ambas as metodologias e (2) ser capaz de comparar ambas as metodologias a partir da perspectiva do custo relativo a implementa  o e desempenho de cada dessas.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervis o: J lio Gustavo Soares Firmo da Costa

Mais informa  es: juliogustavocosta@gmail.com

T tulo: **Constru  o de um Balanceador de Carga para Micro Servi os como Interpretadores MIDD**

Descri  o: Arquiteturas Serverless possuem relevante destaque quanto   configurar e disponibilizar servi os de software. A metodologia "Metadata Interpretation Driven Development" surge nesse contexto e n o possui trabalhos espec ficos que a associe a problemas da  rea de tais arquiteturas. Quest o relevante, portanto, concerne a projetar balanceador de carga para requisi  es (HTTP/REST)   inst ncias de micro servi os (MS) constru  as conforme MIDD. Isso porque n o h  dispon vel relato de qualquer experi ncia de constru  o desse artefato conforme as especificidades de MIDD. A metodologia: o aluno dever  compreender MIDD e construir um balanceador conforme as especifica  es de interpretadores MIDD.   importante que o aluno tenha conhecimento relativo a opera  o de escalonadores de requisi  es para MS, ao que ent o, escolher  algum algoritmo de escalonamento (sugest o: Roudin Robin). Importante o conhecimento de alguma linguagem de programa  o/framework que o auxilie na constru  o (sugest o: Java/Spring Cloud). Resultados: (1) compreens o da metodologia MIDD, (2) constru  o de escalonador para inst ncias interpretadores MIDD e (3) relat rio que apresente resultados da constru  o e opera  o.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervis o: J lio Gustavo Soares Firmo da Costa

Mais informa  es: juliogustavocosta@gmail.com

Título: *Armazenamento, leitura e escrita de dados sísmicos para computação de alto desempenho*

Descrição: A exploração de petróleo e gás é provavelmente a principal aplicação do levantamento sísmico. Nesse procedimento, uma fonte gera ondas que são refletidas ao transitar pelas camadas do subsolo e capturadas por sensores. Esses dados passam por diversas etapas de processamento a fim de se obter características da região de interesse. Devido a grande massa de dados e a complexidade dos métodos utilizados, os algoritmos de processamento de dados sísmicos frequentemente utilizam técnicas de computação paralela. Esta proposta de trabalho consiste na investigação e implementação de métodos de armazenamento, leitura e escrita de dados sísmicos em ambientes de computação de alto desempenho. Deverão ser investigadas as técnicas utilizadas na indústria e na literatura, em especial MPI I/O e Parallel HDF5. Caso o aluno tenha experiência em Big Data, poderá utilizar métodos dessa área. As técnicas consideradas mais adequadas ao emprego para dados sísmicos serão implementadas e integradas a algoritmos já existentes. Espera-se assim reduzir o tempo gasto na entrada e saída de dados sísmicos, bem como que esses dados sejam lidos e escritos em formatos padrões da indústria e da academia.

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Ítalo Assis

Mais informações: italo@dca.ufrn.br

Título: *Devito: comparação de desempenho das soluções para GPU*

Descrição: Devito é uma ferramenta de código fonte aberta com foco em problemas físicos cuja solução envolve resolver equações de diferenças parciais, tais como problemas geofísicos.

Recentemente, Devito incorporou suporte parcial para GPUs através do OpenMP 4.5. Porém o Devito tinha um suporte parcial com OPS, que também é um transpilador que gera código automaticamente para diversas plataformas, sendo uma delas CUDA.

Ambas versões tem funcionamento relativamente semelhantes para o usuário final. O usuário escreve o código em Python e, dependendo do backend utilizado, Devito irá gerar o código compatível com OPS ou com OpenMP.

A pesquisa tem como objetivo comparar as duas abordagens para GPU, a versão com OpenMP 4.5 que hoje é o padrão no Devito e a versão que utiliza o OPS. Será necessário definir um problema base a ser testado, o aluno irá gerar diversos resultados usando cada uma das abordagens acima. Poderá ser comparado: tempo de execução, tempo de compilação, grau de dificuldade para execução, memória utilizada, entre outros. Desejável conhecimento em: Python, ferramentas de perfilamento de código, como nvprof, C/C++ e OpenMP.

CH semanal: 8 horas

Orientador: Samuel Xavier de Souza

Supervisão: Vitor Hugo Mickus Rodrigues

Mais informações: vmickus@ufrn.edu.br

Título: **Implementação de uma Rede Neural Artificial para NANVIX um sistema simples baseado em unix.**

Descrição: O sistema operacional opensource nanvix é um sistema from scratch, possui uma biblioteca primitiva de C e uma implementação de threads de kernel semelhante as posix threads utilizadas em sistemas unix. O sistema é robusto para muitas aplicações apresentadas em seus benchmarks disponíveis em: <https://github.com/nanvix>. Podemos utilizar aplicações de Inteligência Artificial como ferramentas para medir o desempenho do sistema, o objetivo desse projeto é implementar uma rede neural artificial paralela em linguagem C utilizando as bibliotecas do sistema nanvix. O aluno contará com os sistema base de benchmarks e exemplos prontos do nanvix para se familiarizar com o sistema e suas ferramentas. O aluno deverá apresentar uma rede neural artificial funcional e paralela resolvendo algum problema padrão da literatura utilizando as ferramentas fornecidas.

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Reinaldo Agostinho de Souza Filho

Mais informações: reinaldoasf@gmail.com

Título: **Verificação de um Framework para Simulação de Sistemas Heterogêneos Aplicados ao Ambiente Espacial**

Descrição: Considerando a crescente aplicação de sistemas heterogêneos (compostos por processadores, blocos de controle e processamento de sinais) em ambiente espacial, o uso de ferramentas que possibilitem a modelagem e simulação é uma etapa importante no desenvolvimento do hardware e do software embarcado. Uma dessas ferramentas, o Ptolemy II, é um framework que tem sido desenvolvido com o intuito de permitir o estudo do projeto de sistemas embarcados, concorrentes e de tempo real. Tal framework permite a criação de modelos utilizando diferentes métodos, incluindo programação em Java. Desse modo, o projetista é capaz, por exemplo, de criar e simular elementos que representam os componentes de um sistema aplicado em nanossatélites. Diante desse contexto, propõe-se a verificação do Ptolemy II como ferramenta para modelagem e simulação de sensores, unidades de controle e de processamento típicos de um sistema aplicado em ambiente espacial. Por meio do trabalho, buscar-se-á determinar as vantagens e desvantagens do uso desse framework como parte do fluxo de projeto de sistemas embarcados, o que contribuirá para análise da viabilidade de sua utilização em projetos futuros.

CH semanal: 16 horas

Orientador: Luiz Felipe de Queiroz Silveira

Supervisão: Alex Carlos Rodrigues Alves

Mais informações: alexcarlos27@gmail.com

Título: ***Implantação em contêiner de aplicações de machine-learning desenvolvidas em tensorflow***

Descrição: Atualmente a aprendizagem de máquina (ou ML do inglês) se apresenta como um misto de realizações e desafios. As realizações, em parte, se tornaram viáveis pela adoção e evolução das Unidades Gráficas de Processamento (ou GPU do inglês) que reduziram significativamente o tempo de execução dos algoritmos. Dentre os desafios, está o da compreensão de como os algoritmos de ML lidam com o consumo energético desses dispositivos. Para abordar esse desafio está sendo desenvolvida como suporte para uma tese de doutorado, uma infraestrutura para a coleta e o armazenamento dos dados provenientes dessas soluções. Na base dessa infraestrutura está uma arquitetura de contêiner onde rodam tais MLs. O principal objetivo do TCC é "Implantar em contêiner Docker os algoritmos de ML que rodem em GPU e que foram desenvolvidos em TensorFlow em modo de inferência e de treinamento". O TCC estará concluso quando pelo menos duas MLs forem implantadas em contêiner e postas para rodar na infraestrutura em desenvolvimento. Para que o objetivo seja atingido, devem ser considerados os algoritmos que estão disponíveis a partir de <https://paperswithcode.com/sota/image-classification-on-imagenet>

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Antônio Oliveira Filho

Mais informações: aoliveiraf@gmail.com

Título: ***Efeitos da latência de comunicação e sobrecarga usando a propagação de onda acústica 3D em computação de alto desempenho.***

Descrição: Em sistemas de computação alto desempenho mudanças no código que permitem extrair um maior poder computacional são frequentemente refletidas no modelo de programação utilizado. Dessa forma é necessário gerenciar detalhes da arquitetura e dos recursos (memória, comunicação, CPU, IO, etc.) de forma eficiente. Uma das formas é ocultar a latência de comunicação. Uma vez que esta, continuará a ser um problema à medida que a lacuna de desempenho entre computação e comunicação aumenta. Nesse sentido, este trabalho tem por objetivo analisar o impacto da comunicação em aplicações paralelas de alto desempenho. Será utilizado um código de propagação de onda 3D com decomposição de domínio a fim de verificar a latência de comunicação e a sobrecarga gerada. Os testes serão realizados com diferentes tamanhos de domínio (subdomínios) e diversas configurações de número de processadores. Espera obter um estudo analítico sobre o quanto de ganho pode-se obter em técnicas de ocultação de latência para essas aplicações.

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Antonio Denilson de Souza Oliveira

Mais informações: denilson.souza.o@gmail.com

Título: **Mestre-escravo aplicado ao método de Migração por mínimos quadrados**

Descrição: O método de Migração por mínimos quadrados (LSM, do inglês Least Square Migration) vem sendo utilizado na exploração de petróleo devido a alta resolução dos resultados gerados. Entretanto, LSM possui alto custo computacional e uma das formas de otimizar seu cálculo é paralelizando algumas de suas etapas aplicando escalonamento de tarefas. Uma das técnicas de escalonamento utilizadas é mestre-escravo que possui uma abordagem dinâmica e centralizada. Posto isso, o foco deste trabalho é a implementação da técnica mestre-escravo em Fortran aplicado ao LSM usando memória distribuída e compartilhada com MPI.

CH semanal: 8 horas

Orientador: Samuel Xavier de Souza

Supervisão: Carla dos Santos Santana

Mais informações: carla.ecomp@gmail.com

Título: **Análise de Escalabilidade da ferramenta Devito em Supercomputadores**

Descrição: No contexto de exploração sísmica, temos um grande volume de dados e o uso da técnica de inversão de forma de onda (full waveform inversion - FWI), que exige um domínio de diversos campos científicos. Buscando abstrair e simplificar o processo de aplicação dela para o usuário, linguagens de domínio específico, como Devito, que permite que o usuário especifique o problema em uma linguagem simbólica de alto nível. Essa técnica possui ainda uma estrutura altamente paralelizável, provendo um ganho de desempenho em execução paralela, contrastado por atrasos de comunicação que levantam questionamentos de como paralelizar e escalar esse código a fim de garantir melhores tempos de execução e utilização de hardware. Assim, analisamos a escalabilidade da DSL Devito em supercomputadores, usando da decomposição do domínio (através de MPI em um único nó) e da paralelização de nós (através de Dask em múltiplos nós). O aluno orientado auxiliaria na instalação de softwares em supercomputadores para a realização dos testes e na coleta de dados, a fim de mensurar qual balanceamento das ferramentas resulta em aumento de desempenho e melhor uso de hardware disponível.

CH semanal: 8 horas

Orientador: Samuel Xavier de Souza

Supervisão: Gabriel Sebastian von Conta

Mais informações: mrgabral@gmail.com

Título: **Implementação em C da Hopping DFT em microcontrolador ARM M4F**

Descrição: O algoritmo SDFT (Sliding Discrete Fourier Transform) é utilizado em aplicações as quais demandam o cálculo de DFTs de tamanho M a cada L amostras ($L < M$) de um stream de dados. Devido à complexidade de seu cálculo poder variar de $O(M)$ até $O(M^2)$, de acordo com o intervalo L de amostras entre as DFTs, abordagens para otimização deste algoritmo são desejáveis. Neste contexto, a HDFT (Hopping Discrete Fourier Transform) calcula a DFT com complexidade $O(M \log L)$. A HDFT pode viabilizar a utilização da DFT em microcontroladores de baixo custo, mesmo em intervalos L mais longos. A arquitetura ARM M4F possui instruções em ponto flutuante de 32-bits, é adequada para aplicações de baixo consumo e utilizada em microcontroladores de baixo custo. O objetivo deste trabalho é a implementação em C do algoritmo de HDFT em microcontrolador com arquitetura ARM M4F.

CH semanal: 16 horas

Orientador: Luiz Felipe de Queiroz Silveira

Supervisão: José Lenival Gomes de França

Mais informações: LENIVALGOMES@GMAIL.COM

Título: *Design de técnicas de tolerância a falhas em hardware*

Descrição: Aplicações de circuitos digitais em indústria e pesquisa aeroespacial estão constantemente submetidas a ambientes radioativos que podem ocasionar falhas no dispositivo. Ainda mais, dispositivos em meio terrestre estão cada vez mais susceptíveis a essas partículas radioativas devido à miniaturização dos processos de fabricação. Por esse motivo, é forçoso desenvolver tecnologias capazes de tolerar e recuperar de falhas que possam acontecer devido à interação do circuito com essas partículas. Atualmente, é conhecido que muitos desses erros acontecem em dispositivos de memória como RAMs e registradores. Com isso em mente, esta proposta visa desenvolver em linguagem de descrição de hardware (i.e, verilog) técnicas de tolerância a falhas, como scrubbing, ECC, SEC-DED, n-MR em um banco de registradores e medir, dentre outros possíveis parâmetros, o número de erros por período de tempo que a técnica consegue suportar e o número de clocks necessários para detecção e/ou correção do erro, a fim de comparar as técnicas e avaliar o custo-benefício que elas possuem.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervisão: Igor Macedo Silva

Mais informações: igormacedo@ufrn.edu.br

Título: *Teste e verificação em hardware-in-the-loop de um receptor multi-usuário.*

Descrição: O grupo do projeto CEVERO está desenvolvendo um receptor multi-usuário de ultra baixo consumo energético para aplicação em nanosatélites de baixa órbita terrestre. A implementação deste receptor está sendo realizada no GAP8, um processador RISC-V multicore, embarcado na plataforma PULP. A primeira etapa de verificação, a validação do sistema, será realizada através da leitura do sinal de entrada a partir de um arquivo gerado externamente. Devido ao limitado tamanho da memória não é possível a realização de teste em condições reais de operação em tempo real. A segunda etapa, que está aqui proposta, consiste em um teste do sistema em hardware-in-the-loop (HIL), técnica amplamente utilizada para testes de sistemas embarcados de tempo real. Fundamenta-se no funcionamento automático e em malha de uma fonte geradora de estímulos conectada ao dispositivo sob teste (um circuito conversor analógico-digital ligado ao receptor multi-usuário) que disponibiliza os resultados obtidos para checagem. Espera-se que ao final deste trabalho seja possível uma análise de desempenho do consumo energético e da taxa de erro de bit do receptor multi-usuário.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervisão: Raffael Sadite Cordoville Gomes de Lima

Mais informações: raffaelsadite@live.com

Título: *Ferramentas Matemáticas para Auto Ajuste de Parâmetros*

Descrição: Auto-tuning é uma metodologia que auxilia no ajuste de parâmetros de um programa, ao fazê-lo de forma automática. Ele baseia-se no uso da meta-heurística chamada de coupled simulated annealing (CSA) o qual trata-se de um algoritmo robusto de busca global, além de ser mais simples de parametrizar do que seu antecessor, o simulated annealing. Entretanto, o CSA ainda exige ajuste de alguns parâmetros para um funcionamento mais eficaz. No contexto de auto-tuning, o fato de ainda existir parametrização poder ser um empecilho, pois o objetivo dele é retirar o esforço na realização de ajustes excessivos. Um destes parâmetros é a quantidade de iterações necessárias para o CSA finalizar. Alguns dados estatísticos proveniente dos resultados encontrados ao longo da execução do CSA podem ser usados para antecipar o fim da execução, como, por exemplo, desvio padrão. Sendo assim, o objetivo desta pesquisa é a busca na literatura de algoritmos e/ou outras meta-heurísticas que implementem fim de execução automático na tentativa de transpor essa mesma ideia, utilizando-o no CSA. Com isso, fazer com que o CSA gaste o mínimo possível de iteração sem que precisemos ajustar manualmente a quantidade.

CH semanal: 8 horas

Orientador: Samuel Xavier de Souza

Supervisão: João Batista Fernandes

Mais informações: jotabe.150@gmail.com

Título: *Processamento colaborativo e consumo energético: Uma investigação acerca de execuções CPU-GPU*

Descrição: A integração entre CPU e GPU vem sendo explorado nos últimos anos quando se deseja alcançar computação de alta performance (HPC). Geralmente a GPU é empregada para computar a carga de trabalho paralela, enquanto a CPU se encarrega de executar o código sequencial. Porém, realizar a execução no dispositivo mais poderoso torna os demais dispositivos ociosos, levando à um desperdício de recurso computacional. Alguns trabalhos na literatura mostram que distribuir parte da carga de trabalho para as CPUs ociosas pode reduzir o tempo de execução da aplicação. Partindo disso, este projeto tem como objetivo investigar como se dá o consumo energético de uma aplicação co-processada por CPU-GPU. Para isso, será necessário comparar o consumo energético entre um aplicação co-processada com a sua versão apenas CPU e apenas GPU. A aplicação será implementada na linguagem C, utilizando o OpenMP versão 5.0, o qual possui suporte à GPU. Para medir o consumo energético, serão utilizadas ferramentas fornecidas pelo próprio fabricante de cada hardware. Como resultado espera-se compreender o trade-off entre consumo energético e desempenho computacional de uma arquitetura híbrida composta por CPUs e GPUs.

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Maelso B P N Pereira

Mais informações: maelso@dca.ufrn.br